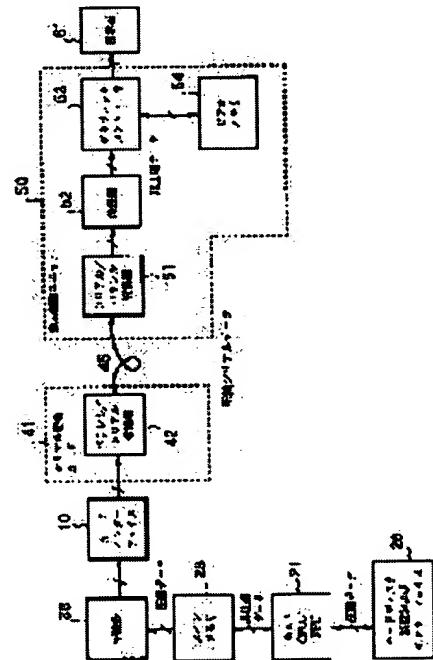


(11)Publication number : 08-202526
(43)Date of publication of application : 09.08.1996

G06F 3/153

(71)Applicant : CANON INC
(72)Inventor : ONO KENICHIRO
NOBUTANI TOSHIYUKI
HASEGAWA TAKETO
MATSUZAKI HIDEKAZU
MORI HIROSHI
YAMAGUCHI YOSHINORI
SANBE HIDEO
ICHIHASHI NOBUHARU
SAKASHITA TATSUYA
TANAHASHI JUNICHI
MORIMOTO HAJIME

CONSTITUTION: In response to a specific command for transferring data from a main memory 28 to a display memory 54, display data are compressed and converted into interface data (38 and 42), which are converted from parallel data to serial data (42); and the converted serial data are transmitted (45) and converted into the parallel data (51), which are expanded into non-compressed data (52) and written in a display memory 54. Effects are remarkable when a display unit 61 is a ferroelectric liquid crystal display device.



http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAiw... 2005-04-09 오후 12:01:51

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-202526

(43) 公開日 平成8年(1996)8月9日

(51) Int. Cl.⁶

G06F 3/153

識別記号

336

庁内整理番号

B

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全11頁)

(21) 出願番号 特願平7-8895

(22) 出願日 平成7年(1995)1月24日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 小野 研一郎

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 信谷 俊行

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 長谷川 岳都

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 大塚 康徳 (外1名)

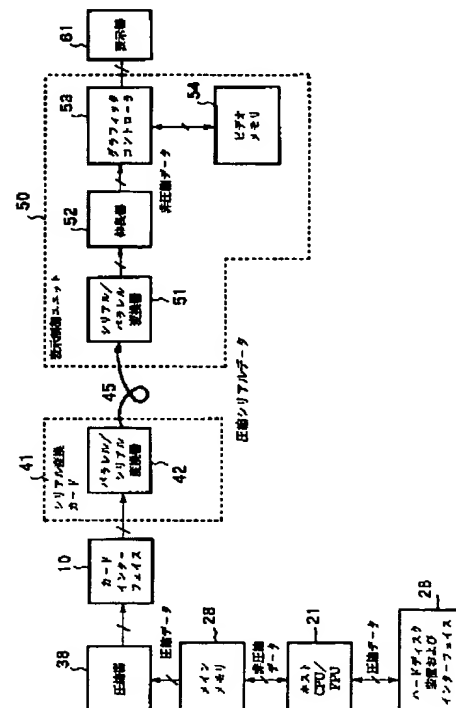
最終頁に続く

(54) 【発明の名称】 圧縮データの高速シリアル転送による表示システム

(57) 【要約】

【目的】 コンピュータ本体と表示コントローラ間のデータのシリアル転送を大量かつリアルタイムで実現する、特に、ビットブリティ命令が発行された時のように、大量のデータをリアルタイムで転送すべき場合の伝送量不足を無くした表示システムを提供する。

【構成】 メインメモリ28から表示メモリ54へデータを転送する特定のコマンドにตอบสนองして、表示データを圧縮してインタフェースデータに変換し(38、42)、インタフェースデータをパラレルデータからシリアルデータに変換して(42)、前記変換されたシリアルデータを伝送し(45)、前記伝送されたシリアルデータをパラレルデータに変換(51)後に、非圧縮データに伸長して(52)前記伸長された表示データを表示メモリ54に書き込む。前記表示器61が強誘電性液晶表示装置であると効果が著しい。



【特許請求の範囲】

【請求項 1】 インタフェースを介して CPU やメインメモリを持つコンピュータ本体と表示器の表示コントローラを接続した表示システムにおいて、表示コントローラ内に表示メモリを持ち、表示メモリへ表示データを転送する特定のコマンドにตอบสนองして、圧縮された表示データをインタフェースデータに変換するデータ変換手段と、

前記変換されたインタフェースデータをパラレルデータからシリアルデータに変換するパラレル／シリアル変換手段と、

前記変換されたシリアルデータを伝送する伝送手段と、前記伝送されたシリアルデータをパラレルデータに変換するシリアル／パラレル変換手段と、

前記圧縮されたパラレルデータを非圧縮データに伸長する伸長手段と、

前記伸長された表示データを表示メモリに書き込む表示制御手段とを備えることを特徴とする表示システム。

【請求項 2】 メインメモリから表示メモリへ表示データを転送する特定のコマンドにตอบสนองして、表示データを圧縮する圧縮手段を更に備えることを特徴とする請求項 1 記載の表示システム。

【請求項 3】 前記表示器は強誘電性液晶表示装置であることを特徴とする請求項 1 または 2 記載の表示システム。

【請求項 4】 インタフェースを介して CPU やメインメモリを持つコンピュータ本体と表示器の表示コントローラを接続した表示システムにおいて、

表示コントローラ内に表示メモリを持ち、(1) メインメモリから表示メモリへデータを転送する特定のコマンドにตอบสนองして、

表示データを圧縮する圧縮手段と、

前記圧縮された表示データをインタフェースデータに変換するデータ変換手段と、

前記変換されたインタフェースデータをパラレルデータからシリアルデータに変換するパラレル／シリアル変換手段と、

前記変換されたシリアルデータを伝送する伝送手段と、前記伝送されたシリアルデータをパラレルデータに変換するシリアル／パラレル変換手段と、

前記圧縮されたパラレルデータを非圧縮データに伸長する伸長手段と、

前記伸長された表示データを表示メモリに書き込む表示制御手段とを備え、(2) 表示メモリからメインメモリへデータを転送する特定のコマンドにตอบสนองして、

前記表示メモリ中の表示データを圧縮する圧縮手段と、前記圧縮された表示データをパラレルデータからシリアルデータに変換するパラレル／シリアル変換手段と、

前記変換されたシリアルデータを伝送する伝送手段と、前記伝送されたシリアルデータをパラレルデータに変換

するシリアル／パラレル変換手段と、

前記変換されたパラレルデータをインタフェースデータに変換するデータ変換手段と、

前記変換されたパラレルデータを非圧縮データに伸長する伸長手段と、

前記伸長された表示データをメインメモリに書き込むメモリ制御手段とを備えることを特徴とする表示システム。

【請求項 5】 前記表示器は強誘電性液晶表示装置であることを特徴とする請求項 4 記載の表示システム。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、インタフェースを介してコンピュータ本体と表示コントローラを接続した表示システムに関するものである。

【 0 0 0 2 】

【従来の技術】 従来、インタフェースを介してコンピュータ本体と表示コントローラを接続しようとする際、この間のデータ転送をシリアルとして、ケーブルをできるだけ細く、可動性及び操作性を高めようとする試みがあった。

【 0 0 0 3 】

【発明が解決しようとする課題】 しかしながら、表示データは、大量かつリアルタイム性を持つので、シリアルデータでは伝送量が不足するという問題点がある。特に、メインメモリに展開された表示画面の表示データを、ビデオメモリに 1 コマンドで転送する、あるいはその逆の転送を行うビットブリット命令が発行された時のように、大量のデータをリアルタイムで転送すべき場合には、伝送量不足が大きな問題となる。

【 0 0 0 4 】 本発明は、前記従来の欠点を除去し、コンピュータ本体と表示コントローラ間のデータのシリアル転送を大量かつリアルタイムで実現する表示システムを提供する。特に、ビットブリット命令が発行された時のように、大量のデータをリアルタイムで転送すべき場合の伝送量不足を無くした表示システムを提供する。

【 0 0 0 5 】

【課題を解決するための手段】 この課題を解決するために、本発明の表示システムは、インタフェースを介して CPU やメインメモリを持つコンピュータ本体と表示器の表示コントローラを接続した表示システムにおいて、表示コントローラ内に表示メモリを持ち、表示メモリへ表示データを転送する特定のコマンドにตอบสนองして、圧縮された表示データをインタフェースデータに変換するデータ変換手段と、前記変換されたインタフェースデータをパラレルデータからシリアルデータに変換するパラレル／シリアル変換手段と、前記変換されたシリアルデータを伝送する伝送手段と、前記伝送されたシリアルデータをパラレルデータに変換するシリアル／パラレル変換手段と、前記圧縮されたパラレルデータを非圧縮データ

に伸長する伸長手段と、前記伸長された表示データを表示メモリに書き込む表示制御手段とを備えることを特徴とする。

【 0 0 0 6 】 また、メインメモリから表示メモリへ表示データを転送する特定のコマンドにตอบสนองして、表示データを圧縮する圧縮手段を更に備えることを特徴とする。ここで、前記表示器は強誘電性液晶表示装置である。また、本発明の表示システムは、インタフェースを介して CPU やメインメモリを持つコンピュータ本体と表示器の表示コントローラを接続した表示システムにおいて、表示コントローラ内に表示メモリを持ち、(1) メインメモリから表示メモリへデータを転送する特定のコマンドにตอบสนองして、表示データを圧縮する圧縮手段と、前記圧縮された表示データをインタフェースデータに変換するデータ変換手段と、前記変換されたインタフェースデータをパラレルデータからシリアルデータに変換するパラレル/シリアル変換手段と、前記変換されたシリアルデータを伝送する伝送手段と、前記伝送されたシリアルデータをパラレルデータに変換するシリアル/パラレル変換手段と、前記圧縮されたパラレルデータを非圧縮データに伸長する伸長手段と、前記伸長された表示データを表示メモリに書き込む表示制御手段とを備え、(2) 表示メモリからメインメモリへデータを転送する特定のコマンドにตอบสนองして、前記表示メモリ中の表示データを圧縮する圧縮手段と、前記圧縮された表示データをパラレルデータからシリアルデータに変換するパラレル/シリアル変換手段と、前記変換されたシリアルデータを伝送する伝送手段と、前記伝送されたシリアルデータをパラレルデータに変換するシリアル/パラレル変換手段と、前記変換されたパラレルデータをインタフェースデータに変換するデータ変換手段と、前記変換されたパラレルデータを非圧縮データに伸長する伸長手段と、前記伸長された表示データをメインメモリに書き込むメモリ制御手段とを備えることを特徴とする。

【 0 0 0 7 】 ここで、前記表示器は強誘電性液晶表示装置である。

【 0 0 0 8 】

【実施例】

【実施例 1】 図 1 は、実施例 1 の表示システムを有する情報処理システムの構成例を示すブロック図、図 2 は、実施例 1 の表示システムの構成例を示すブロック図である。図 1 及び図 2 において、21 は情報処理システム全体の制御を実行する CPU、22 は CPU 21 が実行するプログラムを格納する ROM、また、28 はこのプログラム実行の際のワーク領域等として用いられるメインメモリである。23 は CPU 21 を介さずにメインメモリ 28 と本システムを構成する各種機器との間でデータの転送を行う DMA コントローラ (Direct Memory Access Controll, 以下 DMAC という) である。32 はイーサネット (XEROX 社による) などの LAN (ロー

カルエリアネットワーク) 37 と本システムとの間の LAN インタフェースである。26 および 27 は外部記憶装置としてのそれぞれハードディスク装置とそのインタフェースおよびフロッピーディスク装置とそのインタフェースである。本実施例では、ハードディスク装置 26 に圧縮された表示データが記憶されている。

【 0 0 0 9 】 36 は比較的高解像度の記録を行うことが可能なインクジェットプリンタ、レーザビームプリンタ等によって構成することができるプリンタ、31 はプリンタと本システムとの間で信号接続を行うためのパラレルインタフェース、29 は各種文字等のキャラクタ情報や制御情報などを入力するためのキーボードおよびそのコントローラである。33 は通信回線と本例システムとの間で信号変調を行うための通信モデム、34 はポインティングデバイスとしてのマウス、35 は画像等の読取りを行うイメージスキャナであり、これらはシリアルインタフェースを介して本例システムと信号の授受を行う。割込みコントローラ 24 は、プログラム実行における割込み処理を制御し、リアルタイムクロック 25 は本例システムにおける計時機能を司る。

【 0 0 1 0 】 10 はメモリカード、モデムカード等が接続できる JEIDA、PCMCIA などの汎用カードインタフェースであり、本例でもこれらの汎用インタフェースを用い後述する専用シリアル変換カード 41 を接続する。41 はパラレルデータをシリアルデータに変換するパラレル/シリアル変換器 42 を含むシリアル変換カードである。45 はシリアルデータを伝送する伝送路、61 は表示データを表示する表示器、50 は表示器 61 を制御する表示制御ユニットである。

【 0 0 1 1 】 表示制御ユニット 50 には、伝送路 45 を通って来たシリアルデータをパラレルデータに変換するシリアル-パラレル変換器 51、圧縮データを伸長する伸長器 52、表示器 61 に対し表示データをコントロールするグラフィックコントローラ 53、表示データを格納しグラフィックコントローラ 53 が管理しているビデオメモリ 54 を含む。

【 0 0 1 2 】 40 は上記各機器間を信号接続するためのデータバス、コントロールバス、アドレスバスからなるシステムバスである。38 はシステムバス 40 に接続され、データを圧縮してデータ量を減少させる圧縮器である。以上説明した各種機器などを接続してなる本実施例の情報処理システムでは、一般にシステムのユーザは、表示器 61 の表示画面に表示される各種情報に対応しながら操作を行う。すなわち、LAN 37 等に接続される外部機器、ハードディスク 26、フロッピーディスク 27、スキャナ 35、キーボード 29、マウス 34 から供給される文字や画像情報など、またメインメモリ 28 に格納されたユーザのシステム操作にかかる操作情報などが表示器 61 の表示画面に表示され、ユーザはこの表示を見ながら情報の編集、システムに対する指示操作等を

行う。ここで、上記各種機器等は、それぞれ表示器61に対して表示情報供給手段を構成する。

【0013】図2に従い本実施例の表示システムのデータの流れ及び動作を説明する。ハードディスク26に、表示すべきデータが圧縮されて保持されているとする。CPU21はこの圧縮データを伸長しながらメインメモリ28に書き込む。つまり、メインメモリ28には非圧縮形式で表示データが書き込まれる。ここで、ビットブリッド命令によりメインメモリ28から表示コントローラ50内のビデオメモリ54に画像データを転送することとする。メインメモリ28からの画像データを圧縮器38を通して圧縮データにする。その圧縮されたデータを、カードインタフェース10を介して汎用カード信号に変換する。

【0014】本例ではカードインタフェースには専用シリアル変換カード4が装着されており、前述の圧縮データは内蔵されたパラレル/シリアル変換器42によりシリアルデータに変換される。変換されたシリアルデータが伝送路45を伝送される。伝送路45の形状は、パラレル/シリアル変換器42やシリアル/パラレル変換器51の構成に応じて変り、シリアルデータを伝送する伝送路45としては、平行電線の他、ツイストペア線、より高速性に優れた同軸ケーブル、更に光ケーブル等が考えられる。

【0015】伝送路45を通して送られてきた圧縮シリアルデータは、シリアル/パラレル変換器51で圧縮パラレルデータに変換される。更に、伸長器52をすることにより非圧縮データに戻る。このデータは、グラフィックコントローラ53の管理の下でビデオメモリ54に書き込まれ、ビットブリッド命令は完了する。グラフィックコントローラ53は、ビデオメモリ54のデータを適切なタイミングで呼び出し、表示器61に表示データを表示する。

【0016】〔実施例2〕図3は、実施例2の表示システムを有する情報処理システムの構成例を示すブロック図、図4は、実施例2の表示システムの構成例を示すブロック図である。この構成は、実施例1の構成から圧縮器38を除いたものである。図4に従い本実施例の表示システムのデータの流れ及び動作を説明する。

【0017】ハードディスク26には表示すべきデータが圧縮されて保存されているとする。ここで、ビットブリッド命令によりメインメモリ28から表示コントローラ50内のビデオメモリ54に大量の画像データを転送することとなる。CPU21はハードディスク26からの圧縮データを読み取り、メインメモリ28にデータを展開せずそのまま、カードインタフェース10を介して汎用カード信号に変換する。

【0018】本例ではカードインタフェースには専用シリアル変換カード41が装着されており、前述の圧縮データは内蔵されたパラレル/シリアル変換器42により

シリアルデータに変換される。変換されたシリアルデータが伝送路45を伝送される。伝送路45の形状は、パラレル/シリアル変換器42やシリアル/パラレル変換器51の構成に応じて変り、シリアルデータを伝送する伝送路45は、平行電線の他、ツイストペア線、より高速性に優れた同軸ケーブル、更に光ケーブル等が考えられる。

【0019】伝送路45を通して送られてきた圧縮シリアルデータは、シリアル/パラレル変換器51で圧縮パラレルデータに変換される。更に、伸長器52をすることにより非圧縮データに戻る。このデータは、グラフィックコントローラ53の管理の下でビデオメモリ54に書き込まれ、ビットブリッド命令は完了する。グラフィックコントローラ53は、ビデオメモリ54のデータを適切なタイミングで呼び出し、表示器61に表示データを表示する。

【0020】〔実施例3〕図5は、実施例3の表示システムの構成例を示すブロック図である。実施例1と比較すると、39はシステムバス40に接続し、圧縮データを伸長する伸長器である。表示制御ユニット50内には、グラフィックコントローラ53からのデータを圧縮する圧縮器56、そのパラレルデータをシリアル信号に変換するパラレル/シリアル変換器55が追加される。シリアル変換カード41内には、シリアルデータをパラレルに変換するシリアル/パラレル変換器43が追加される。パラレル/シリアル変換器55とシリアル/パラレル変換器43とをつなぐ圧縮シリアルデータ伝送路46も追加される。

【0021】メインメモリ28からビデオメモリ54へのデータ転送であるビットブリッド命令の説明は、実施例1と同じである。以下に、ビデオメモリ54からメインメモリ28へのデータ転送であるビットブリッド命令の説明をする。グラフィックコントローラ53は、ビットブリッド命令によりビデオメモリ54から転送すべきデータを抜き出し圧縮器56に送り、データを圧縮する。圧縮データは、パラレル/シリアル変換器55によりシリアルデータに変換され、伝送路46を伝送される。

【0022】伝送路46を通して送られてきた圧縮シリアルデータは、シリアル/パラレル変換器43で圧縮パラレルデータに変換される。カードインタフェース10を通った後、更に伸長器39をすることにより非圧縮データに戻る。このデータは、CPU21の管理のもとでメインメモリ28に書き込まれ、ビットブリッド命令は完了する。

【0023】以上のようにして、ビットブリッド命令がメインメモリ28とビデオメモリ54との間で双方向で圧縮シリアルデータに変換され転送される。

【0024】〔実施例4〕図6は、実施例4の表示システムの構成例を示すブロック図である。実施例3と比較

すると、表示制御ユニット 5 0 内には、伸長器 5 2 へのデータをレシーブし、圧縮器 5 6 からのデータをドライブするドライバ/レシーバ回路 5 7 が追加される。パラレルドライバ/レシーバカード 4 7 内には、パラレルデータをドライブ/レシーブするドライバ/レシーバ回路 4 8 が内蔵される。ドライバ/レシーバ回路 4 8 と 5 7 とをつなぐパラレル伝送路 6 2 も追加される。

【 0 0 2 5 】 以下に動作説明をする。

(1) メインメモリからビデオメモリへのビットブリット命令

ハードディスク 2 6 には表示すべきデータが圧縮されて保持されているとする。CPU 2 1 はこの圧縮データを伸長しながらメインメモリ 2 8 に書き込む。つまり、メインメモリ 2 8 には非圧縮形式で表示データが書き込まれている。ここで、ビットブリット命令によりメインメモリ 2 8 から表示コントローラ 5 0 内のビデオメモリ 5 4 に画像データを転送することとする。メインメモリ 2 8 からの画像データを圧縮器 3 8 を通して圧縮データにする。その圧縮されたデータを、カードインタフェース 1 0 を介して汎用カード信号に変換する。

【 0 0 2 6 】 本例では、カードインタフェースには専用パラレルドライバ/レシーバカード 4 7 が装着されており、前述の圧縮データは内蔵されたドライバ/レシーバ回路 4 8 によりドライブされる。ドライブされたパラレルデータがパラレル伝送路 6 2 を伝送される。伝送路 6 2 を通って送られて来た圧縮パラレルデータは、ドライバ/レシーバ回路 5 7 によりレシーブされる。伸長器 5 2 を通ることにより非圧縮データに戻る。このデータはグラフィックコントローラ 5 3 の管理の元でビデオメモリ 5 4 に書き込まれ、ビットブリット命令は完了する。グラフィックコントローラ 5 3 は、ビデオメモリ 5 4 のデータを適切なタイミングで呼び出し、表示器 6 1 に表示データを表示する。

【 0 0 2 7 】 (2) ビデオメモリからメインメモリへのビットブリット命令

グラフィックコントローラ 5 3 は、ビットブリット命令によりビデオメモリ 5 4 から転送すべきデータを抜き出し圧縮器 5 6 に送り、データを圧縮する。圧縮データは、ドライバ/レシーバ回路 5 7 によりドライブされ、パラレル伝送路 6 2 を伝送される。

【 0 0 2 8 】 伝送路 6 2 を通って送られてきた圧縮パラレルデータは、ドライバ/レシーバ回路 4 8 によりレシーブされる。カードインタフェース 1 0 を通った後、更に伸長器 3 9 を通ることにより非圧縮データに戻る。このデータは CPU 2 1 の管理の元でメインメモリ 2 8 に書き込まれ、ビットブリット命令は完了する。以上のようにして、ビットブリット命令がメインメモリ 2 8 とビデオメモリ 5 4 との間で双方向で圧縮パラレル変換され転送される。

【 0 0 2 9 】 尚、本実施例は、表示装置を限定せずに説明したが、表示状態を長時間保持可能な、例えば強誘電性液晶表示装置 (F L C D) に適用すると、その効果が著しい。また、本実施例は、本発明に係る数例の表示システムを説明したもので、これに限定されることなく、これらの変形や複数例の組合わせも本発明の含まれる。また、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。また、本発明はシステム或は装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。

【 0 0 3 0 】

【発明の効果】 本発明により、コンピュータ本体と表示コントローラ間のデータのシリアル転送を大量かつリアルタイムで実現する表示システムを提供できる。特に、ビットブリット命令が発行された時のように、大量のデータをリアルタイムで転送すべき場合の伝送量不足を無くした表示システムを提供できる。更に、本発明を強誘電性液晶表示装置 (F L C D) に適用すると、その効果が著しい。

【図面の簡単な説明】

【図 1】 実施例 1 の情報処理システム全体の構成を示すブロック図である。

【図 2】 実施例 1 の表示システムの構成及びデータの流れを示すブロック図である。

【図 3】 実施例 2 の情報処理システム全体の構成を示すブロック図である。

【図 4】 実施例 2 の表示システムの構成及びデータの流れを示すブロック図である。

【図 5】 実施例 3 の表示システムの構成及びデータの流れを示すブロック図である。

【図 6】 実施例 4 の表示システムの構成及びデータの流れを示すブロック図である。

【符号の説明】

1 0 カードインタフェース

2 0 シリアル変換カード

2 1 CPU

2 8 メインメモリ

3 8 , 5 6 圧縮器

3 9 , 5 2 伸長器

4 2 , 5 5 パラレル/シリアル変換器

4 3 , 5 1 シリアル/パラレル変換器

4 5 , 4 6 シリアル伝送路

4 8 , 5 7 ドライバ/レシーバ回路

5 0 表示制御ユニット

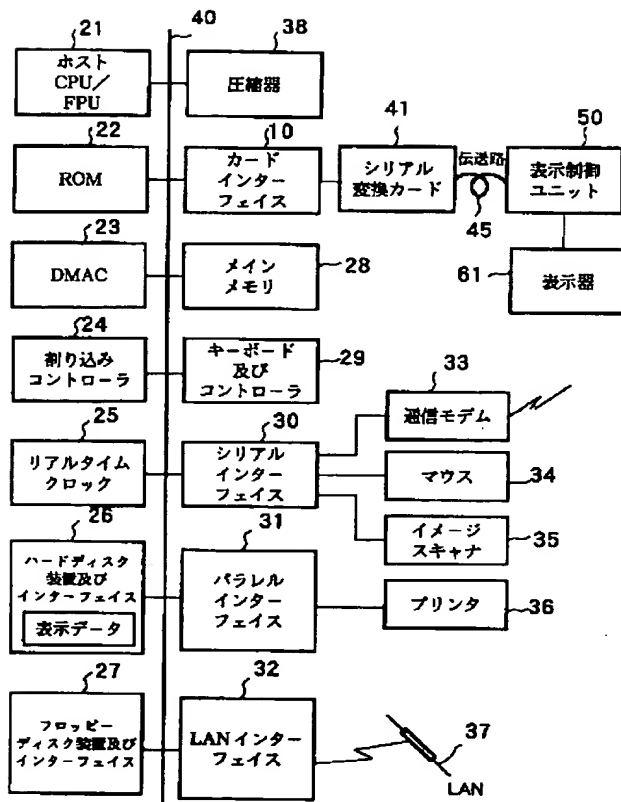
5 3 グラフィックコントローラ

5 4 ビデオメモリ

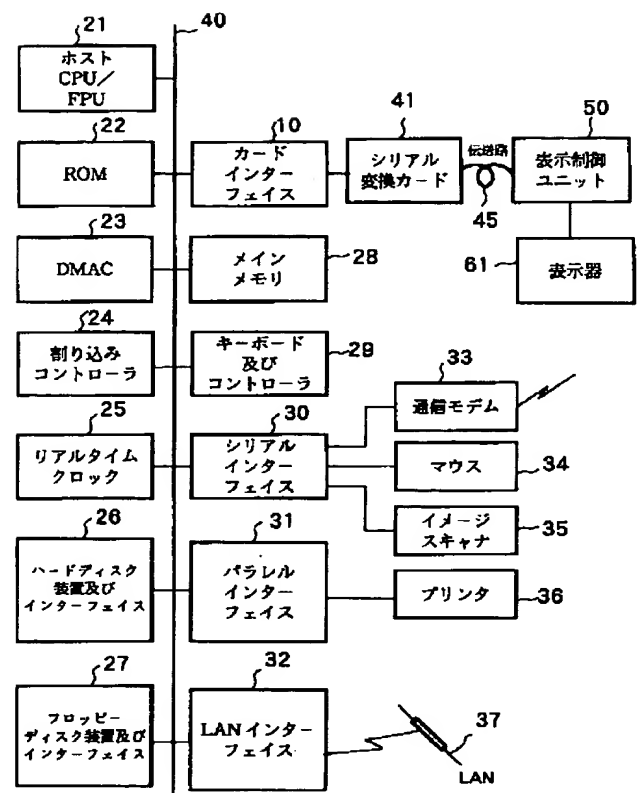
6 1 表示器

6 2 パラレル伝送路

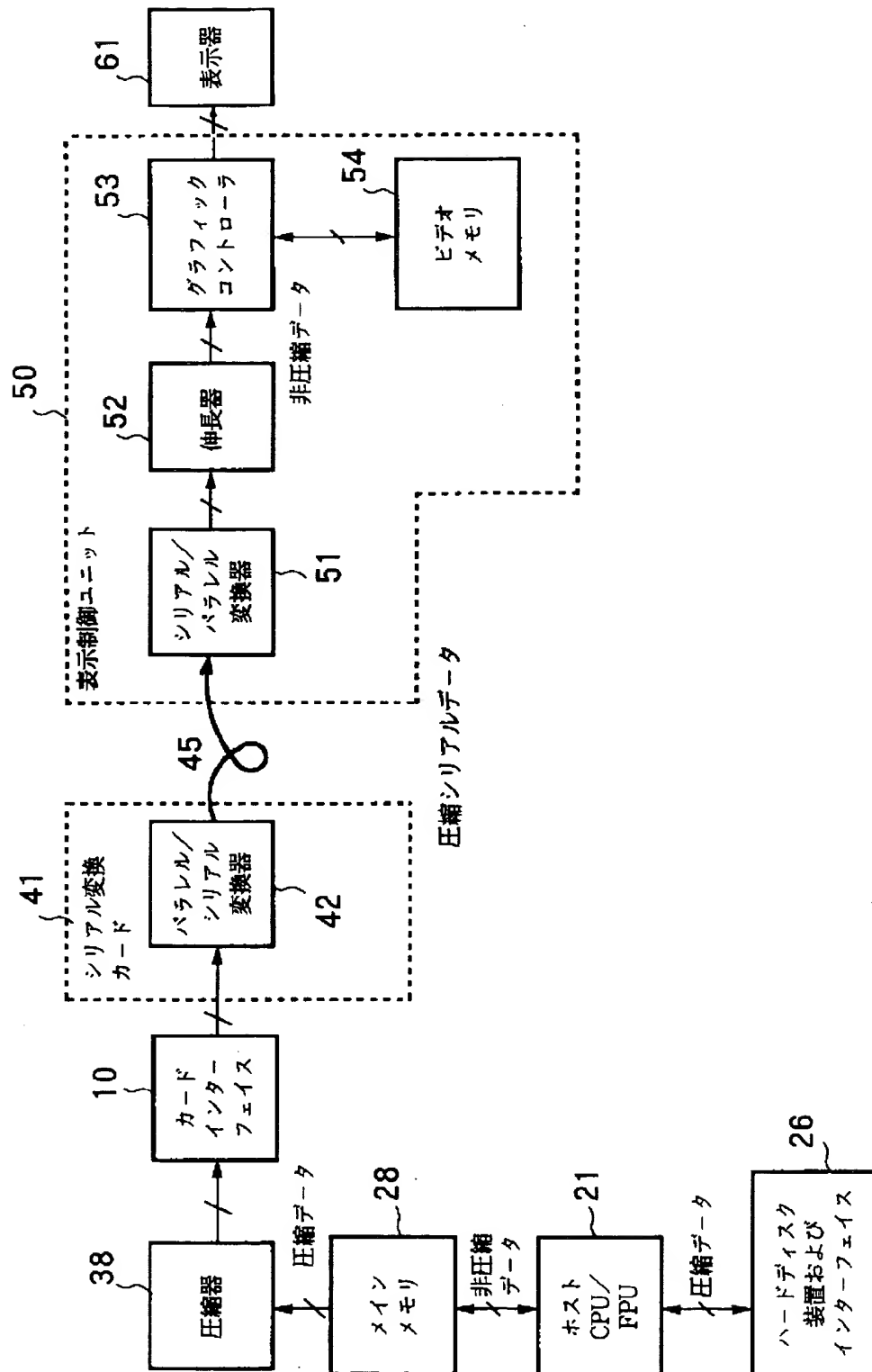
【図 1】



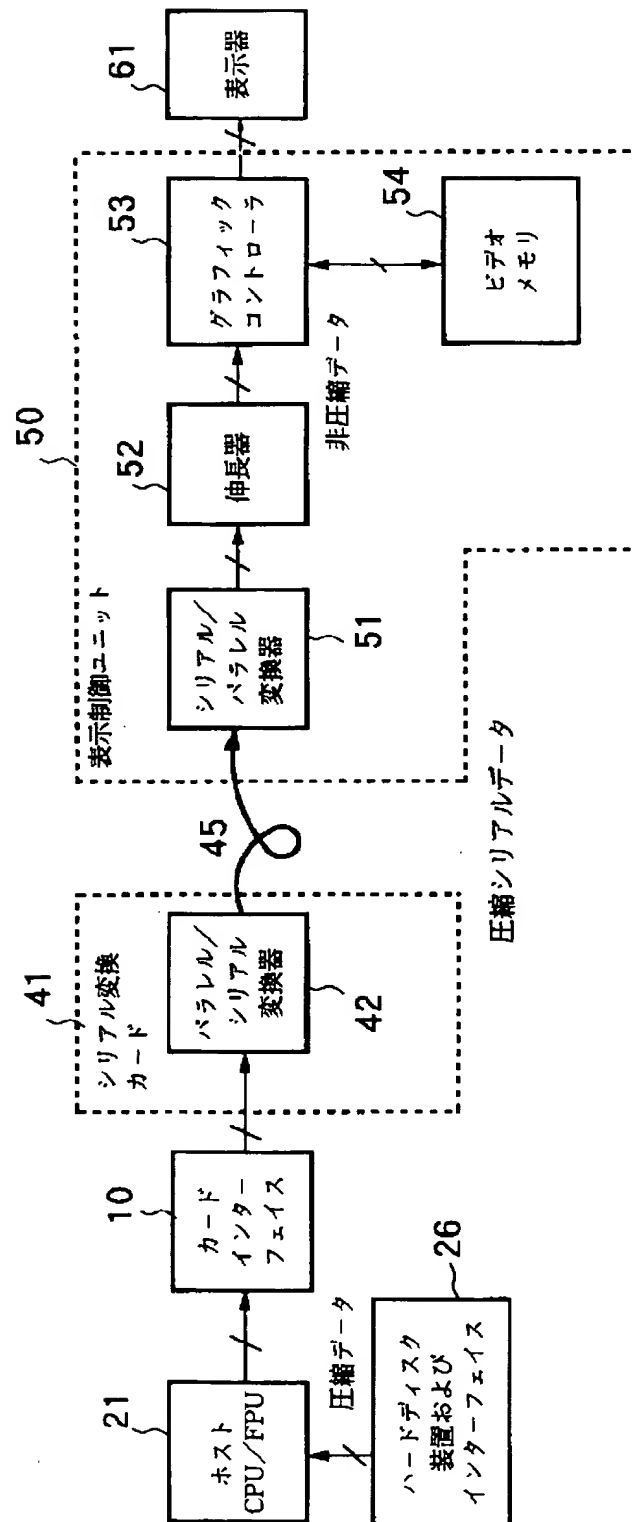
【図 3】



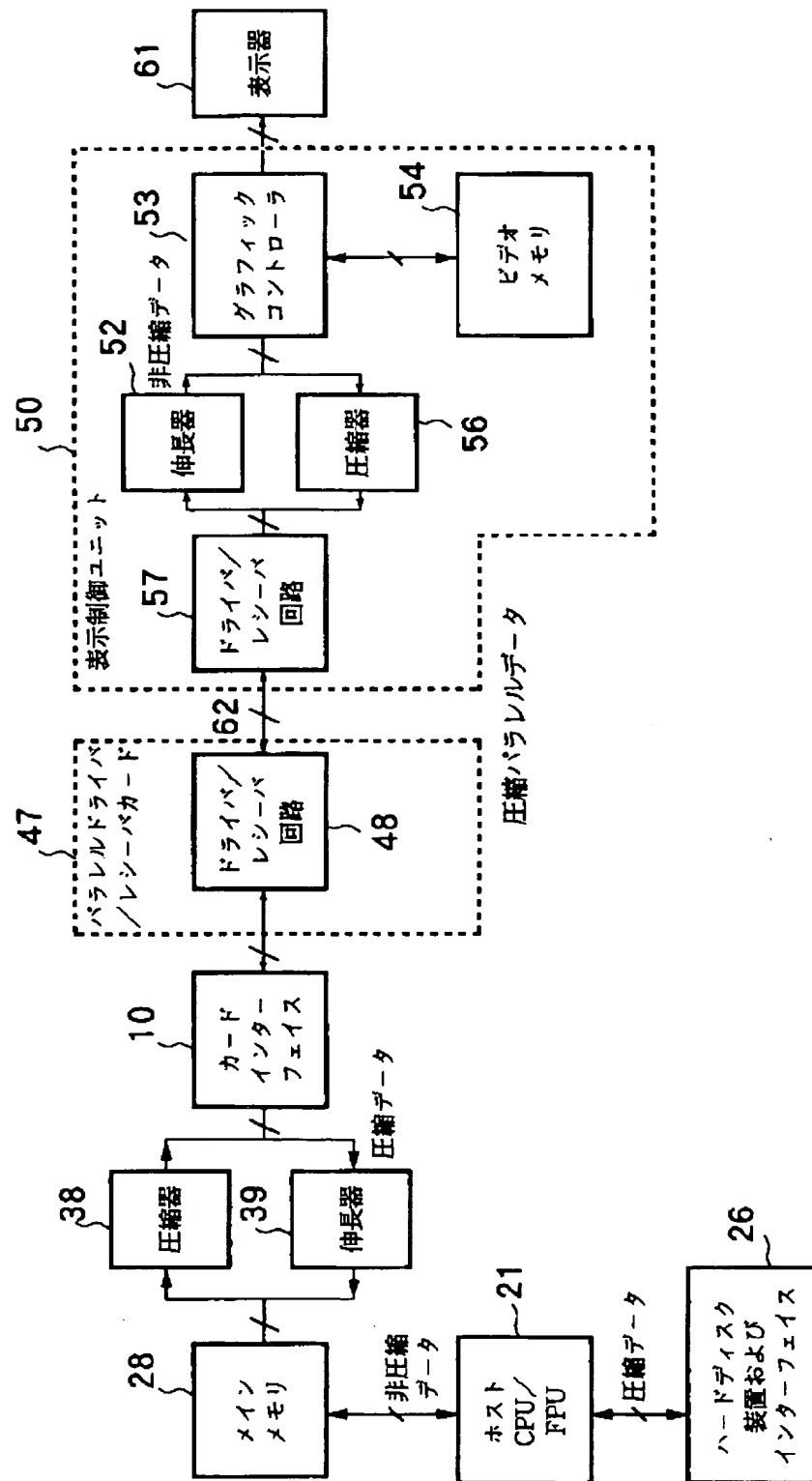
【図 2】



【図4】



〔図 6〕



フロントページの続き

(72)発明者 松崎 英一
東京都大田区下丸子 3 丁目30番 2 号 キヤ
ノン株式会社内
(72)発明者 守 浩史
東京都大田区下丸子 3 丁目30番 2 号 キヤ
ノン株式会社内
(72)発明者 山口 芳則
東京都大田区下丸子 3 丁目30番 2 号 キヤ
ノン株式会社内
(72)発明者 三部 英雄
東京都大田区下丸子 3 丁目30番 2 号 キヤ
ノン株式会社内

(72)発明者 市橋 信春
東京都大田区下丸子 3 丁目30番 2 号 キヤ
ノン株式会社内
(72)発明者 坂下 達也
東京都大田区下丸子 3 丁目30番 2 号 キヤ
ノン株式会社内
(72)発明者 棚橋 淳一
東京都大田区下丸子 3 丁目30番 2 号 キヤ
ノン株式会社内
(72)発明者 森本 はじめ
東京都大田区下丸子 3 丁目30番 2 号 キヤ
ノン株式会社内